

01FNO61

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-038095

(43)Date of publication of application : 07.02.1995

(51)Int.Cl. H01L 29/78

(21)Application number : 05-182279

(71)Applicant : HITACHI LTD

(22)Date of filing : 23.07.1993

(72)Inventor : KIMURA SHINICHIRO

KURE TOKUO

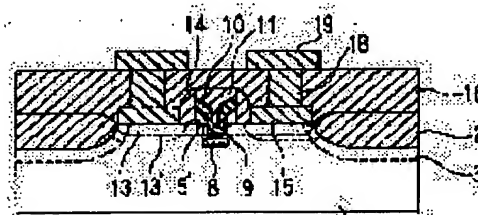
HISAMOTO MASARU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PURPOSE: To provide a semiconductor device having groove gate type MOSFETs whose switching delay time is short.

CONSTITUTION: This is a semiconductor device having at least one field effect transistor in which the source and drain regions are formed by a high concentration diffused layer 13' and a low concentration diffused layer 13, a groove part is provided in the channel part between the source and drain regions, the gate electrode 10 is provided via the gate insulator film 9 in the groove part, and the gate electrode 10 is placed on the surface of the substrate outside the groove region via a nitride film 5 which is thicker than the gate insulator film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-38095

(43) 公開日 平成7年(1995)2月7日

(51) Int.Cl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/78		7514-4M	H 0 1 L 29/78	3 0 1 V

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号 特願平5-182279

(22) 出願日 平成5年(1993)7月23日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 木村 紳一郎
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 久▲禮▼ 得男
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 久本 大
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(74) 代理人 弁理士 藤田 利幸

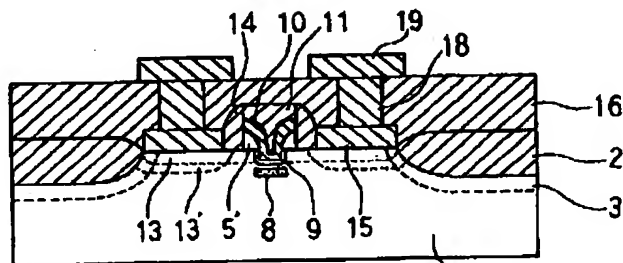
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 溝ゲート型MOSFETを有し、そのスイッチングの遅延時間が小さい半導体装置を提供すること。

【構成】 ソース、ドレイン領域が高濃度の拡散層13'と低濃度の拡散層13からなり、ソース、ドレイン領域間のチャネル部に凹部が設けられ、凹部内にゲート絶縁膜9を介してゲート電極10が設けられ、かつ、凹部外の基板表面に、ゲート絶縁膜より厚い窒化膜5を介してゲート電極10が積層された電界効果トランジスタを少なくとも1個有する半導体装置。

図1



5...側壁窒化膜 11...酸化膜
8...高濃度領域 13,13'...拡散層
9...ゲート酸化膜 15,18...タングステン
10...ゲート電極

【特許請求の範囲】

【請求項1】ソース、ドレイン領域が高濃度層と低濃度層からなり、ソース、ドレイン領域間のチャネル部に凹部が設けられ、凹部内にゲート絶縁膜を介してゲート電極が設けられ、かつ、上記凹部外の基板表面の所望の部分は、上記ゲート絶縁膜より厚い第1の絶縁膜を介して上記ゲート電極が積層された電界効果トランジスタを少なくとも1個有することを特徴とする半導体装置。

【請求項2】上記電界効果トランジスタの1個は、pチャネル絶縁ゲート電界効果トランジスタであり、他の1個は、nチャネル絶縁ゲート電界効果トランジスタであることを特徴とする請求項1記載の半導体装置。

【請求項3】上記ゲート電極は、高融点金属からなることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】上記高融点金属は、W又はMoであることを特徴とする請求項3記載の半導体装置。

【請求項5】上記ソース、ドレイン領域の表面近傍に、金属膜又は金属シリサイド膜が配置されたことを特徴とする請求項1から4のいずれかに記載の半導体装置。

【請求項6】上記ゲート電極の上に、ゲート電極と、平面的な形状が同一の第2の絶縁膜が配置されたことを特徴とする請求項1から5のいずれかに記載の半導体装置。

【請求項7】表面に所望の厚さの第1の絶縁膜を有し、かつ、所望の深さにソース、ドレイン領域となる低濃度層を有する半導体基板を準備する第1の工程、該絶縁膜の所望の部分に穴を設け、該穴から半導体基板に凹部を形成する第2の工程、凹部内にゲート絶縁膜を形成する第3の工程、ゲート絶縁膜と第1の絶縁膜の上に、所望の形状のゲート電極を形成する第4の工程、ゲート電極をマスクにして、第1の絶縁膜を除去する第5の工程、少なくとも第1の絶縁膜とゲート電極の側壁に、自己整合的に側壁絶縁膜を形成する第6の工程及び少なくとも側壁絶縁膜をマスクにしてソース、ドレイン領域を構成する高濃度層を形成する第7の工程を有する半導体装置の製造方法。

【請求項8】表面に所望の厚さの第1の絶縁膜を有する半導体基板を準備する第1の工程、該絶縁膜の所望の部分に穴を設け、該穴から半導体基板に凹部を形成する第2の工程、凹部内にゲート絶縁膜を形成する第3の工程、ゲート絶縁膜と第1の絶縁膜の上に、所望の形状のゲート電極を形成する第4の工程、ゲート電極をマスクにして、第1の絶縁膜を除去する第5の工程、第1の絶縁膜が除去された部分に、ソース、ドレイン領域を構成する低濃度層を設ける第6の工程、少なくとも第1の絶縁膜とゲート電極の側壁に、自己整合的に側壁絶縁膜を形成する第7の工程及び少なくとも側壁絶縁膜をマスクにしてソース、ドレイン領域を構成する高濃度層を形成する第8の工程を有する半導体装置の製造方法。

【請求項9】表面に所望の厚さの第1の絶縁膜を有し、

第1導電型領域とこれと異なる第2導電型領域がそれぞれ存在し、かつ、それぞれの領域の所望の深さに、それぞれの導電型と異なる導電型であって、ソース、ドレイン領域となる低濃度層を有する半導体基板を準備する第1の工程、それぞれの領域の上の絶縁膜の所望の部分に穴を設け、該穴から半導体基板に凹部を形成する第2の工程、それぞれの凹部内にゲート絶縁膜を形成する第3の工程、ゲート絶縁膜と第1の絶縁膜の上に、所望の形状のゲート電極をそれぞれ形成する第4の工程、ゲート電極をマスクにして、それぞれ第1の絶縁膜を除去する第5の工程、少なくとも第1の絶縁膜とゲート電極の側壁に、それぞれ自己整合的に側壁絶縁膜を形成する第6の工程、第1導電型又は第2導電型のいずれか一方の領域をマスクで覆い、他方の領域に、少なくとも側壁絶縁膜をマスクにして、ソース、ドレイン領域を構成する高濃度層を形成する第7の工程及び上記他方の領域をマスクで覆い、上記一方の領域に、少なくとも側壁絶縁膜をマスクにして、ソース、ドレイン領域を構成する高濃度層を形成する第8の工程を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、金属-酸化膜-半導体型の電界効果トランジスタ (Metal Oxide Semiconductor field effect transistor; 以下、MOSFETと略す) を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】MOSFETを用いた集積回路の代表例であるダイナミック・ランダムアクセス・メモリは、現在、0.8ミクロンの技術を用いて、4メガビットの量産が行われている。また、次世代の0.5ミクロン技術を使用する16メガビットも小規模ながら量産化が始まっている。今後も、微細加工技術の進歩と相俟って、半導体素子が縮小され、集積度の向上が実現されるのは間違いない。

【0003】ところで、MOSFET等の半導体素子の微細化は、単に寸法の縮小だけで達成されてきたのではなく、ゲート電極寸法の縮小に伴って顕著になる、短チャネル効果 (MOSFETを導通させるのに必要なゲート電圧が、あるゲート寸法から急激に低下する現象)

や、パンチスルー (電流をゲートでは制御できなくなる現象) 等の望ましくない現象を抑制して行われてきた。

【0004】この際の指針となったのが、比例縮小則であり、これに従って、寸法の縮小とともに、基板の不純物濃度を増加させ、ゲート酸化膜を薄くし、かつ、ソースドレインの拡散層を浅くしてきた。今後も半導体素子、特に、MOSFETを微細化して行くためには、この指針に従わざるを得ないが、ゲート電極寸法が0.2μm以下になると、これまでの微細化の指針だけでは、短チャネル効果やパンチスルーを抑制するのは困難であ

る。

【0005】これは、電流の出入口となるソースドレインの拡散層が、ある深さをもって基板内部に存在しており、しかも、その深さにイオン打ち込み等のプロセス条件で決まる限界が存在するために、ゲート電極寸法が小さくなると、ドレイン領域から延びた空乏層が、ソース領域に達し、その結果、ソースとチャネル間のポテンシャル障壁が低下して、ゲートでは制御できない電流が流れる現象を引き起こすためである。この空乏層の延びを抑えるために基板内部に高濃度領域を設けたり、或いは

【0006】従来の溝ゲート型MOSFETの断面図を図2に示す。半導体基板(1)の素子間分離酸化膜

(2)の領域の周りに基板導電型と導電型が等しく、かつ、濃度の高い高濃度領域(3)がチャネルストッパー層として形成されており、ソース領域、ドレイン領域を構成する拡散層(13、13')の間に形成された溝

(6)に、ゲート酸化膜(9)を介してゲート電極(10)が設けられている。この構造によって、空乏層の延びを抑えることができる。なお、これに関する従来技術として、特開昭50-8483、特開昭56-83974等が挙げられる。

【0007】

【発明が解決しようとする課題】上記従来の技術は、溝の周囲のゲート酸化膜が薄く、ゲート電極とドレイン領域の重なり容量が大きく、そのためMOSFETのスイッチングの遅延時間が大きいという問題があった。

【0008】本発明の第1の目的は、溝ゲート型MOSFETを有し、そのスイッチングの遅延時間が小さい半導体装置を提供することにある。本発明の第2の目的は、そのような半導体装置を製造するに適した半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記第1の目的を達成するために、本発明の半導体装置は、図1に示したように、ソース、ドレイン領域が高濃度層と低濃度層からなり、ソース、ドレイン領域間のチャネル部に凹部を設け、凹部内にゲート絶縁膜を介してゲート電極を設け、さらに、凹部外の基板表面の所望の部分に、ゲート絶縁膜より厚い第1の絶縁膜を介してゲート電極を積層して電界効果トランジスタを構成したものである。

【0010】この電界効果トランジスタのゲート電極は、高融点金属、例えば、W又はMoからなることが、ゲート電極を低抵抗とできるので好ましい。また、ソース、ドレイン領域の表面近傍に、W等の金属膜又はW、Mo、Ni、Ti、Co等の金属のシリサイド膜が配置されていることが好ましい。また、基板内部のゲート電極の直下にのみ高濃度領域を作ることが好ましい。さら

にまた、相補型MOSを有する半導体装置のp型MOSFETとn型MOSFETのそれぞれに、上記の電界効果トランジスタを用いた構成とすることができる。

【0011】また、上記第2の目的を達成するために、本発明の半導体装置の製造方法は、表面に所望の厚さの第1の絶縁膜を有し、かつ、所望の深さにソース、ドレイン領域となる低濃度層を有する半導体基板を準備し、絶縁膜の所望の部分に穴を設け、穴から半導体基板に凹部を形成し、凹部内にゲート絶縁膜を形成し、ゲート絶縁膜と第1の絶縁膜の上に、所望の形状のゲート電極を形成し、ゲート電極をマスクにして、第1の絶縁膜を除去し、少なくとも第1の絶縁膜とゲート電極の側壁に、自己整合的に側壁絶縁膜を形成し、さらに、少なくとも側壁絶縁膜をマスクにしてソース、ドレイン領域を構成する高濃度層を形成するようにしたものである。

【0012】さらに、上記第2の目的を達成するために、本発明の半導体装置の製造方法は、表面に所望の厚さの第1の絶縁膜を有する半導体基板を準備し、絶縁膜の所望の部分に穴を設け、穴から半導体基板に凹部を形成し、凹部内にゲート絶縁膜を形成し、ゲート絶縁膜と第1の絶縁膜の上に、所望の形状のゲート電極を形成し、ゲート電極をマスクにして、第1の絶縁膜を除去し、第1の絶縁膜が除去された部分に、ソース、ドレイン領域を構成する低濃度層を設け、少なくとも第1の絶縁膜とゲート電極の側壁に、自己整合的に側壁絶縁膜を形成し、さらに、少なくとも側壁絶縁膜をマスクにしてソース、ドレイン領域を構成する高濃度層を形成するようにしたものである。

【0013】なおさらに、上記第2の目的を達成するために、本発明の半導体装置の製造方法は、表面に所望の厚さの第1の絶縁膜を有し、第1導電型領域とこれと異なる第2導電型領域がそれぞれ存在し、かつ、それぞれの領域の所望の深さに、それぞれの導電型と異なる導電型であって、ソース、ドレイン領域となる低濃度層を有する半導体基板を準備し、それぞれの領域の上の絶縁膜の所望の部分に穴を設け、穴から半導体基板に凹部を形成し、それぞれの凹部内にゲート絶縁膜を形成し、ゲート絶縁膜と第1の絶縁膜の上に、所望の形状のゲート電極をそれぞれ形成し、ゲート電極をマスクにして、それぞれ第1の絶縁膜を除去し、少なくとも第1の絶縁膜とゲート電極の側壁に、それぞれ自己整合的に側壁絶縁膜を形成し、第1導電型又は第2導電型のいずれか一方の領域をマスクで覆い、他方の領域に、少なくとも側壁絶縁膜をマスクにして、ソース、ドレイン領域を構成する高濃度層を形成し、さらに、上記他方の領域をマスクで覆い、上記一方の領域に、少なくとも側壁絶縁膜をマスクにして、ソース、ドレイン領域を構成する高濃度層を形成するようにしたものである。

【0014】

【作用】溝ゲート型構造は、ドレイン領域からの空乏層

がソース領域に侵入するのを効果的に抑制するので、短チャネル効果を抑えることができる。さらに、凹部外の基板表面に、ゲート絶縁膜より厚い第1の絶縁膜を介してゲート電極が積層されることにより、ゲート電極とドレイン領域の重なり容量が小さくなり、MOSFETのスイッチングの遅延時間が小さくなる。スイッチングの遅延時間 τ は、近似的に次式で表わされる。

$$【0015】 \tau = (CV) / I$$

ここにCはゲート容量、Vは電圧、Iは電流である。ゲート容量Cが小さくなれば、遅延時間 τ は小さくなる。

【0016】また、ゲート電極にタングステン等の高融点金属を使用した場合は、ゲート抵抗が小さくなり、その結果、従来のMOSFETで採用されている、サリサイドプロセスに代表される、ゲート電極の低抵抗化工程を行う必要はなくなる。

【0017】

【実施例】（実施例1）以下、本発明の第1の実施例を、図3から図5を用いて詳細に説明する。第1の実施例は、予め拡散層を形成する例である。また、n型のMOSFETを例に説明するが、p型のMOSFETも、

基板の導電型や不純物の種類を変えることで実現できるのは言うまでもない。

【0018】まず、図3（a）に示したように、p型の半導体基板（1）の表面に、窒化膜のパターン（図示せず）を形成し、これをマスクにしてボロンを打ち込み、熱拡散した後、選択酸化法で素子分離酸化膜（2）を成長させる。半導体基板の不純物濃度は、実現しようとするMOSFETの寸法にも依存するが、本実施例では0.5 μ m技術で使われている $6 \times 10^{10} / \text{cm}^2$ に設定した。これは、本実施例の半導体装置では、溝ゲート構造によって短チャネル効果が抑制されるので、基板の不純物濃度を上げる必要がないためである。素子分離酸化膜（2）の膜厚は400nmとした。なお、上記の打ち込まれたボロンにより、素子分離酸化膜（2）の周辺を覆っている高濃度領域（3）が形成される。この領域は素子分離特性を向上させる。

【0019】次に、図3（b）に示したように、半導体基板表面に20nm程度の酸化膜（4）を成長させ、さらに、基板表面領域に拡散層（13）を作るために、ヒ素を高濃度（ $1 \times 10^{20} / \text{cm}^2$ ）で打ち込む。深さは0.05 μ mである。イオン打ち込みに伴う汚染などを除去した後に、表面全体に図3（c）に示したように、窒化膜（5）を気相成長法で堆積する。膜厚は120nmである。次に、図3（d）に示したように、リソグラフィ技術とドライエッチング技術を用いて、素子分離酸化膜（2）で囲まれた活性領域のほぼ中央の窒化膜

（5）のみを除去する。この断面図では見えないが、窒化膜に形成した溝の一部は、紙面に垂直方向で、その方向にある素子分離酸化膜（2）の領域にかかっている。また、窒化膜（5）の加工は下地の酸化膜（4）で止ま

るようにする。

【0020】さらに、図3（e）に示したように、形成した溝の周辺にのみ、側壁窒化膜（5'）を形成する。この側壁窒化膜は、基板全面に新たに堆積した窒化膜を、異方性ドライエッチング法で全面エッチングすることで実現できる。側壁に付く窒化膜の寸法は、堆積する膜の膜厚に依存するが、本実施例では、0.1 μ mの厚さになるようにした。溝の寸法が、現状のi-線リソグラフィで容易に達成できる0.3 μ mの幅であるので、側壁窒化膜（5'）の形成によって、仕上りの溝寸法は0.1 μ mとなる。このように、自己整合プロセスを用いることによって、従来のリソグラフィ技術では達成不可能な寸法が実現できる。

【0021】次に、図4（a）に示したように、窒化膜（5）、側壁窒化膜（5'）をマスクにして、基板にドライエッチング法により溝（6）を掘り、予め形成しておいた拡散層（13）を1組の拡散層領域に分離する。この工程によって、拡散層が、MOSFETのソースとドレインに分離される。

【0022】ドライエッチングは基板の表面に損傷を受けた領域を作るために、半導体装置の特性を劣化させる原因となる。そこで、この領域を除去し、さらに、後のイオン打ち込み工程の保護膜とするために、図4（b）に示したように、酸化膜（7）を成長させる。損傷を受けた領域は表面から数nmなので、成長させる酸化膜の膜厚は10nmとした。そして、この酸化膜を通して、MOSFETのしきい電圧を調整するための、イオン打ち込みを行い、高濃度領域（8）を形成する。イオン種はボロンであり、打ち込み量は 1×10^{14} から $1 \times 10^{15} / \text{cm}^2$ であり、また、打ち込みエネルギーは20KeVである。

【0023】イオン打ち込みの終了後に、保護膜となった酸化膜（7）をフッ酸を含んだ溶液で除去し、さらに、図4（c）に示したように、MOSFETのゲート酸化膜（9）となる酸化膜を成長させる。酸化膜の膜厚は5nmであり、酸化温度は850℃とした。

【0024】次に、図4（d）に示したように、ゲート電極となるタングステン（10）をスパッタ法で堆積し、さらに、二酸化ケイ素からなる酸化膜（11）を堆積させた。タングステンは高温の酸化雰囲気では簡単に酸化されてしまうので、酸化膜（11）の堆積には、オゾンとTEOS（テトラエトキシオルソシリケート）の反応を利用した低温酸化膜堆積法を用いた。次に、図4（e）のように、リソグラフィ技術を用いて、ホトレジスト（12）をゲート電極形状にして、これをマスクにして下地の酸化膜（11）をドライエッチング法を用いて加工する。

【0025】さらに、図5（a）に示したように、酸化膜（11）の下地のタングステン（10）を加工する。この際、タングステンの下地である窒化膜（5）は、数

10nm削れるが、素子分離酸化膜(2)が露出することはない。次に、図5(b)のように、ドライエッチング法を用いて、タングステン加工の下地となった窒化膜(5)をエッチングするが、タングステンのゲート電極(10)の下になっている部分の窒化膜(5)は残る。タングステンの下地に窒化膜を用いたのは、窒化膜の除去に際して、素子分離酸化膜との選択比を利用して、素子分離酸化膜が削れるのを防ぐためである。

【0026】さらに、図5(c)に示したように、ゲート電極の周辺に側壁酸化膜(14)を形成する。この側壁酸化膜(14)の形成は、図3(e)に示した溝の側壁窒化膜の形成と同様に、酸化膜の堆積と、異方性ドライエッチングを用いた全面エッチング法を用いて実現した。さらに、このゲート電極と側壁酸化膜をマスクにして、再び拡散層(13')を形成する。打ち込んだイオンはヒ素で、打ち込み量は $3 \times 10^{15}/\text{cm}^2$ である。また、この側壁酸化膜の形成の際の全面エッチングによって、基板表面が露出する。

【0027】次に、イオン打ち込みによる汚染を除去した後、図5(d)に示したように、拡散層の表面にタングステン(15)を選択的に成長させる。 WF_6 と SiH_4 を反応させることによって、タングステンを基板表面にのみ、選択的に成長させた。最後に、図5(e)に示したように、層間絶縁膜(16)を堆積して、コンタクトホールを開口し、このコンタクトホールを、プラグ形成技術を用いてタングステン(18)で埋め戻し、最後に配線(19)をアルミを主成分とする金属で形成する。また、配線層を増やす際には、この工程を繰り返す。

【0028】なお、ゲート電極としてタングステンの代わりにモリブデンを用いても、同様な効果を得ることができた。拡散層の表面に形成したタングステン(15)の代わりに、タングステン、モリブデン、ニッケル、チタン、コバルト等の金属のシリサイドを用いても、同様な効果を得ることができた。

【0029】本実施例では、拡散層を予め形成しておいて、これを基板に溝を掘ることで分離する方法を採用した。この方法では、溝の側壁は拡散層が必ず接触するために、ゲート電極と拡散層との間にすきまができる、いわゆるオフセット状態になることはない。なお、このすきまができると、拡散層に抵抗の高い領域が直列接続されたことになり、MOSFETの特性が劣化する原因となる。

【0030】また、本実施例では、凹部を形成するに必要な窒化膜(5)がゲート電極であるタングステンの加工の下地となるので、基板を削ることなく、このような金属をゲート電極に用いることができる。また、基板内部に作った高濃度領域(8)は、ゲート電極の直下のみ形成されているので、拡散容量の増加を抑える効果がある。これらのことは、以下の実施例でも同様である。

【0031】〈実施例2〉実施例1のように、予め拡散層を形成する方法は、拡散層の深さによって溝の深さを調節しなければならないが、また、後述するように、n型、p型両方のMOSFETを同一の基板に形成する場合には、異なる種類の不純物拡散層を形成しなければならないので、溝深さの調整だけで、拡散層を分離するのは大変難しい。

【0032】そこで、第2の実施例では、従来のMOSFETと同様に、ゲート電極の形成後に拡散層形成のためのイオン打ち込みを行うようにした。このために、イオンを基板に対して斜めに入射させる、斜めイオン打ち込み法を用いた。

【0033】実施例1と同様に、半導体基板(1)に素子分離酸化膜(2)、高濃度領域(3)を、図6(a)に示したように形成する。そして、図6(b)のように、基板表面に酸化膜(4)を成長させる。膜厚は実施例1と同じである。

【0034】本実施例では、拡散層形成のためのイオン打ち込みは行わずに、その他は実施例1と同様に、図6(c)から図6(e)に示したように、窒化膜(5)と側壁窒化膜(5')を形成してから、図7(a)に示したように、基板に溝(6)を掘る。以後、ゲート電極を形成する工程(図7(b)から図7(e)と図8(a))は、実施例1と全く同じである。

【0035】次に、拡散層を形成する工程に移るが、図8(b)に示したように、ゲート電極であるタングステン(10)は、上に広がった傘のような形状をしているために、垂直にイオンを打ち込むと、ゲート電極と拡散層とは、上述したようにオフセットができ、正常なMOSFET動作は期待できない。そこで、本実施例では、同図に示したように、イオンを斜めから打ち込む方法を採用した。具体的には、左右それぞれ30から40度の傾きで打ち込み、不純物がゲート酸化膜領域に達するようにした。さらに、熱処理による横方向の拡散を加えることにより、オフセットを防ぐようにするために、不純物にはリンを用いた。打ち込み量は $1 \times 10^{15}/\text{cm}^2$ 、打ち込みエネルギーは40KeVとした。

【0036】その後の工程は、図8(c)から図8(e)に示したように、実施例1と全く同じであるので省略する。

【0037】〈実施例3〉第3の実施例では、本発明のMOSFETを、n型とp型が共存する、相補型MOSFETに適用した例について述べる。相補型MOSFETでは、同一基板上に種類の異なる導電型の領域(以下ウェルと呼ぶ)を形成する必要がある。なお、MOSFETの作成は、第1の実施例で述べた方法を採用したが、第2の実施例の方法が使えるのは言うまでもない。

【0038】導電型の異なるウェル領域を形成するために、まず、図9(a)に示したように、p型の半導体基板(1)の表面に酸化膜(4')を成長させ、さらに、

窒化膜(5'')を堆積する。酸化膜(4')の膜厚は10nm、窒化膜(5'')の膜厚は150nmである。

【0039】この窒化膜(5'')を、図9(b)に示したように、ホトレジスト(12)のマスクを用いて、ドライエッチング法により所望の形状に加工する。この際、表面の酸化膜(4')を残す必要がある。

【0040】次に、ホトレジスト(12)を除き、図9(c)に示したように、窒化膜(5'')をマスクにして、n型のウェル領域(21)を形成するために、リンをイオン打ち込みする。打ち込みエネルギーは125KeVで、打ち込み量は $1 \times 10^{18}/\text{cm}^2$ である。この際、残っている窒化膜(5'')がイオン打ち込みのマスクになるために、窒化膜が存在する領域には、リンイオンは打ち込まれない。

【0041】さらに、イオン打ち込みに起因する汚染などを除去し、基板を酸化雰囲気と置くと、図9(d)に示したように、窒化膜(5'')のない領域、すなわち、リンがイオン打ち込みされた領域にのみ、酸化膜(4'')が成長する、選択酸化が起こる。本実施例では、酸化膜の膜厚は100nmとした。この膜厚は、次に述べるボロンのイオン打ち込み条件に照らして設定される。

【0042】次に図9(e)のように、窒化膜を選択的に除去した後に、p型のウェル領域(22)を形成するために、 BF_3 を60KeVで、 $1 \times 10^{18}/\text{cm}^2$ 程度イオン打ち込みした。リンを打ち込んだn型のウェル領域(21)は、酸化膜(4'')によってマスクされているので、ボロンは打ち込まれない。

【0043】この基板を熱処理すると、打ち込まれた不純物が基板内部に向かって拡散するので、図10(a)に示したようなウェル領域(21、22)ができる。ウェルの深さは3から4 μm である。

【0044】次に、素子分離酸化膜を成長させるために、一度酸化膜(4'、4'')を除き、図10(b)に示したように、表面を10nm程度酸化して、酸化膜(4')を形成し、さらに、窒化膜(5'')を堆積する。これを、図10(c)のように、ホトレジスト(12)のマスクを用いて、所望の活性領域形状に窒化膜を加工する。さらに、図10(d)のように、酸化膜を成長させると、選択的に酸化が進行して、窒化膜(5'')で被われていない領域に、素子分離酸化膜(2)が成長する。膜厚は400nmである。

【0045】本実施例では、第1の実施例に示した、予め拡散層を形成する方法を採用するので、図10()のように、n型のウェル領域(21)を開口するホトレジスト(12)のマスクを形成して、 BF_3 を20KeV、 $1 \times 10^{18}/\text{cm}^2$ の条件で打ち込み、拡散層(13')を形成した。また、その前に、素子分離特性を改善するため、リンを、素子分離酸化膜(2)と基板との界面にピーク濃度位置がくる条件でイオン打ち込みし、

高濃度領域(3')を形成した。具体的には、2価のリンイオンを200KeV、 $2 \times 10^{18}/\text{cm}^2$ で打ち込んだ。これは1価のリンイオンでは、400KeV、 $1 \times 10^{18}/\text{cm}^2$ に相当し、ピーク位置は素子分離酸化膜(2)の界面近傍にくる。また、シリコン基板中では、素子分離酸化膜中より深くリンが侵入するために、同図に示したような分布が得られる。

【0046】同じことをp型のウェル領域でも行うために、図11(a)に示したように、n型のウェル領域をホトレジストマスク(12)で被い、まず、高濃度領域(3'')を形成するためにボロンを、そして、拡散層(13'')を形成するためにリンをイオン打ち込みする。

【0047】これから後は、実施例1で説明した工程と同じであり、図11(b)のように窒化膜(5)を設け、これに溝を形成し、図11(c)のように、溝の側壁に側壁窒化膜(5')を形成し、図11(d)のように、基板に溝(6)を掘って拡散層を分離する。次に、図11(e)のように溝の表面を酸化して、この酸化膜(7)を通して、MOSFETのしきい電圧を調整するための、イオン打ち込みを行い、高濃度領域(8'')を形成する。そして、図12(a)から(c)に示したように、ゲート電極(10)の形成、側壁酸化膜(14)の形成、拡散層(13a、13b)の形成を行い、最後の配線(19)を形成して、相補型のMOSFETを完成する。

【0048】ところで、拡散層に対してあまり深い溝を形成すると、電流が少なくなってしまう問題が起こるので、予め拡散層を形成しておく第1の実施例に関しては、溝の深さは拡散層の深さと同様にする。また、第2の実施例のように、後で拡散層を形成する場合でも、斜め方向からイオンを打ち込むので、イオン打ち込み条件を制御して、接合界面が溝ゲートの角に位置するようにした。

【0049】なお、従来の方法によって、相補型のMOSFETを製造するときは、n型MOSFETもp型MOSFETもそのゲート電極には、同じ導電型の不純物を多量に含む多結晶シリコンが用いられていた。この組み合わせでは仕事関数の差のため、しきい電圧の調整が難しかった。仕事関数の差をなくすために、それぞれのゲート電極によって不純物の導電性を変えることは、n型MOSFETとp型MOSFETでゲート電極を作り分けることになり、製造工程が複雑になる。本実施例によれば、ゲート電極を作り分ける必要がなく、工程数を少なくでき、タングステンとp型、n型基板との仕事関数差が略等しくできるので、それぞれのMOSFETに対するしきい電圧を設定しやすくなる。

【0050】

【発明の効果】溝ゲート構造を用いることで、MOSFETの短チャネル効果の発生を抑制することができる。

これは、凹部を形成することによって、実効的に浅い拡散層を作っていることになるためである。また、凹部外の基板表面に、ゲート絶縁膜より厚い第1の絶縁膜を介してゲート電極が積層されることにより、ゲート電極とドレイン領域の重なり容量が小さくなり、MOSFETのスイッチングの遅延時間が小さくなる。さらに、ゲート電極にタングステン等の高融点金属を用いる場合は、多結晶シリコンを主体とするゲート電極の約1/10のゲート抵抗が実現できる。また、相補型MOSFETのそれぞれのMOSFETに上記構成を適用し、そのゲート電極にタングステン等の高融点金属を用いる場合は、これらの金属とn型基板、p型基板との仕事関数の差が略等しいので、それぞれのMOSFETに対するしきい電圧を設定しやすくなる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置の断面図。

【図2】従来の半導体装置の断面図。

【図3】本発明の第1の実施例の製造工程図。

【図4】本発明の第1の実施例の製造工程図。

【図5】本発明の第1の実施例の製造工程図。

【図6】本発明の第2の実施例の製造工程図。

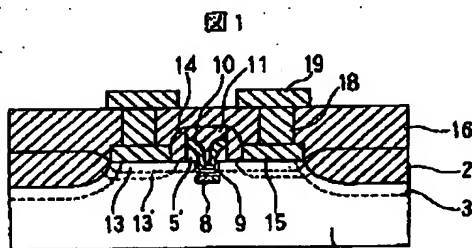
【図7】本発明の第2の実施例の製造工程図。

【図8】本発明の第2の実施例の製造工程図。

【図9】本発明の第3の実施例の相補型MOSFETの製造工程図。

【図10】本発明の第3の実施例の相補型MOSFET*

【図1】



- 5…側壁窒化膜 11…酸化膜
8…高濃度領域 13,13'…拡散層
9…ゲート酸化膜 15,18…タングステン
10…ゲート電極

*の製造工程図。

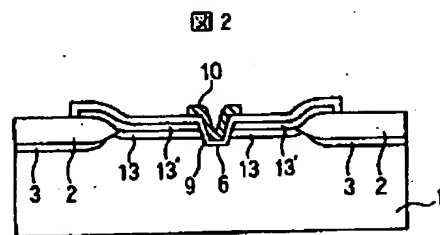
【図11】本発明の第3の実施例の相補型MOSFETの製造工程図。

【図12】本発明の第3の実施例の相補型MOSFETの製造工程図。

【符号の説明】

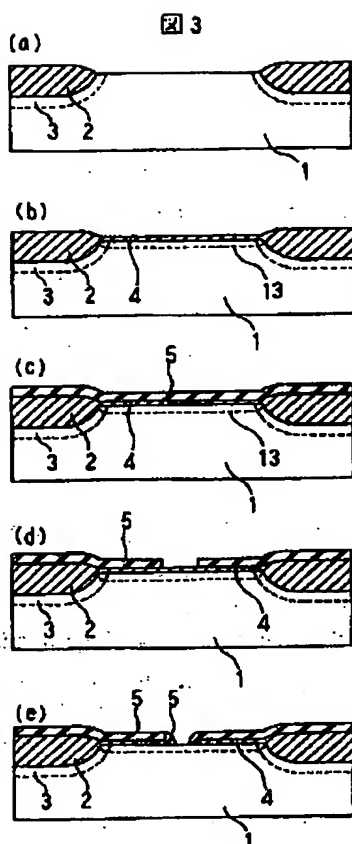
- 1…半導体基板
2…素子分離酸化膜
3、3'、3''…高濃度領域
4、4'、4''…酸化膜
5、5''…窒化膜
5'…側壁窒化膜
6…溝
7…酸化膜
8、8'、8''…高濃度領域
9…ゲート酸化膜
10…ゲート電極
11…酸化膜
12…ホトレジストマスク
13、13'、13''、13a、13b…拡散層
14…側壁酸化膜
15、18…タングステン
16…層間絶縁膜
19…配線
21、22…不純物層

【図2】

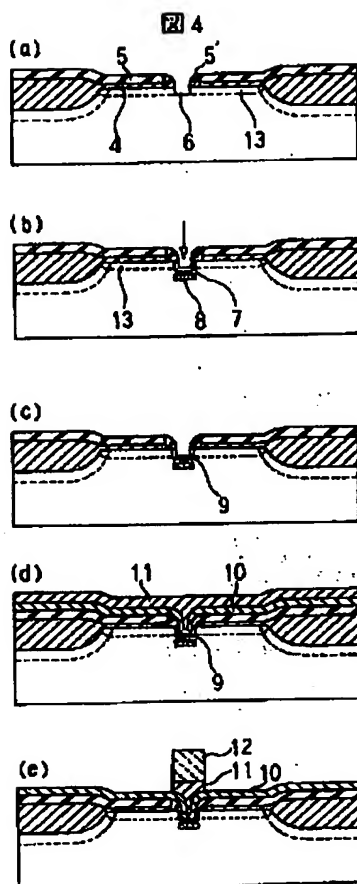


- 6…溝 10…ゲート電極
9…ゲート酸化膜 13,13'…拡散層

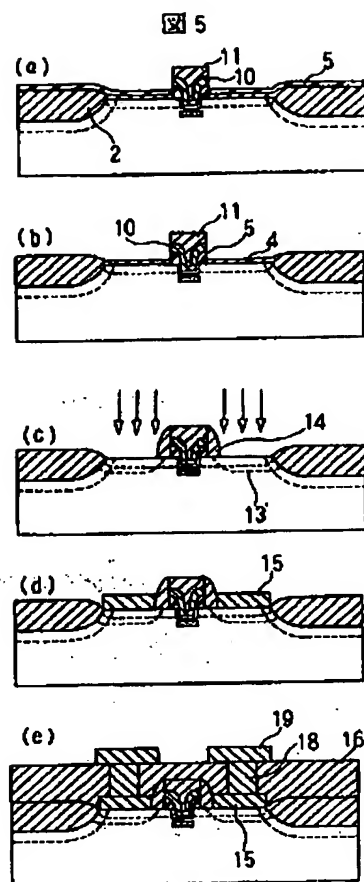
【図3】



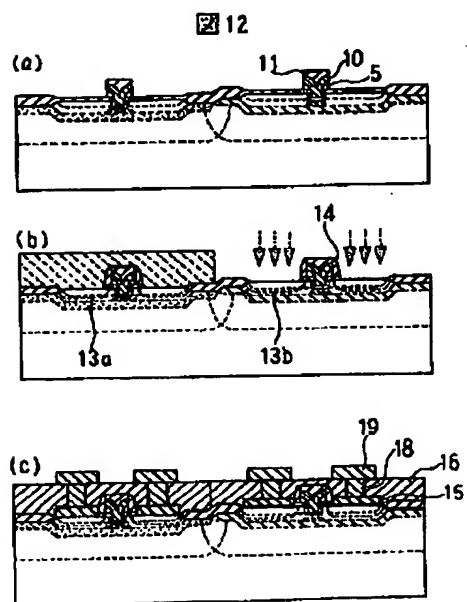
【図4】



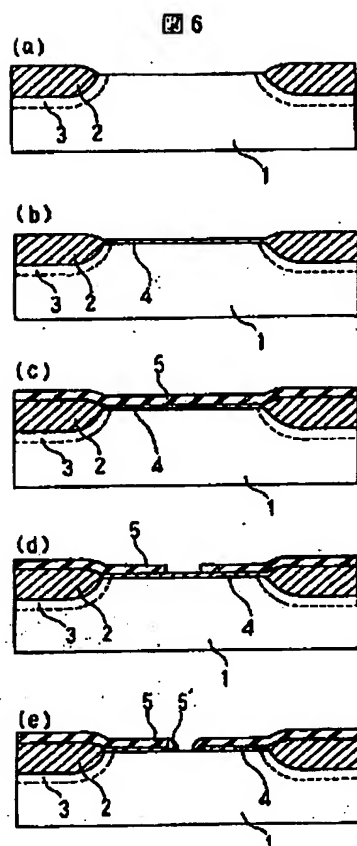
【図5】



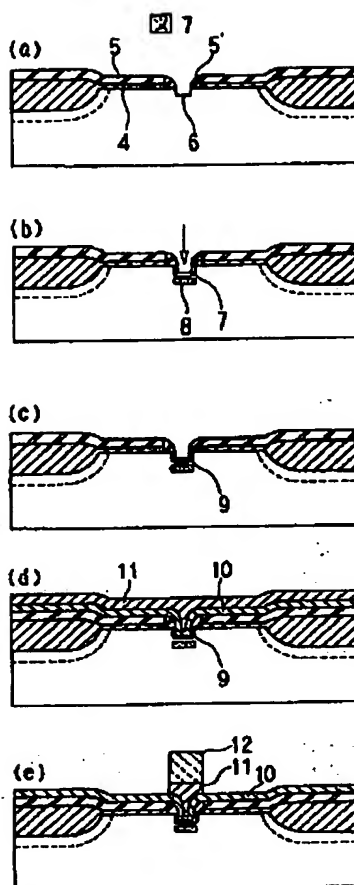
【図12】



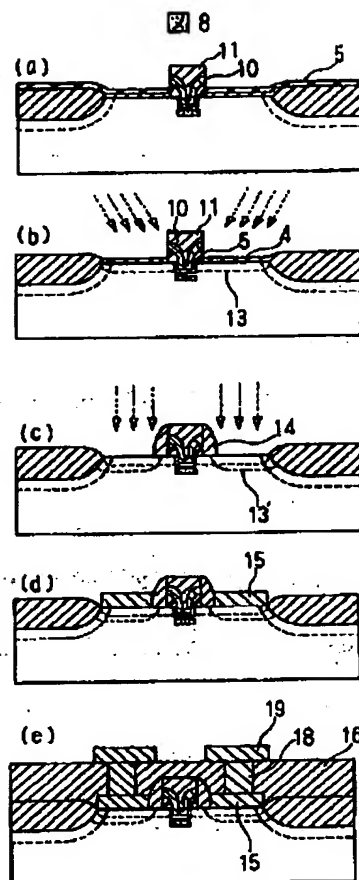
【図6】



【図7】

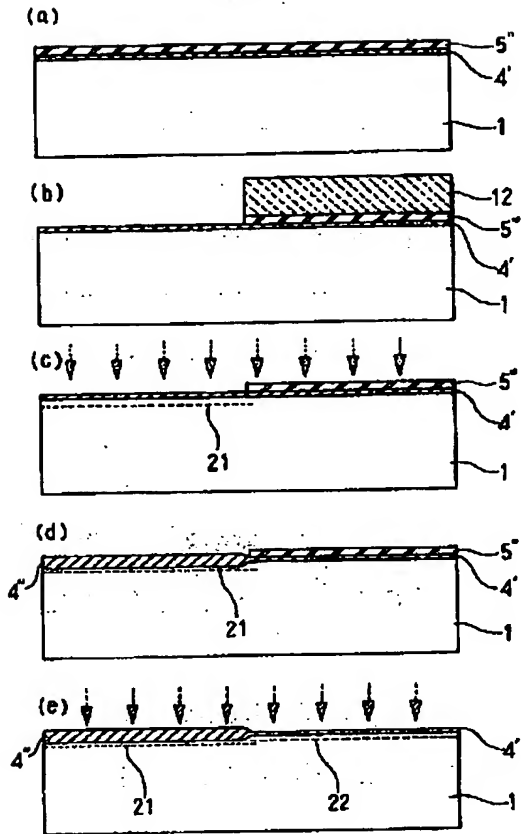


【図8】



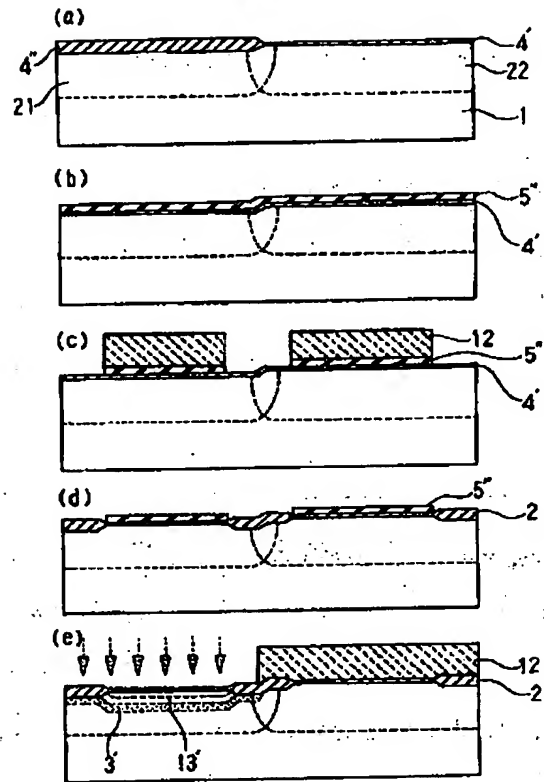
【図9】

図9



【図10】

図10



【図11】

